

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-102252

(43)Date of publication of application : 13.04.2001

(51)Int.Cl.

H01G 9/004

H01G 9/08

(21)Application number : 11-277926

(71)Applicant : SANYO ELECTRIC CO LTD  
SANYO ELECTRONIC COMPONENTS CO LTD

(22)Date of filing : 30.09.1999

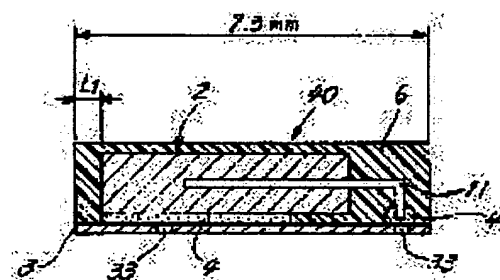
(72)Inventor : KISHIMOTO YASUHIRO

## (54) METHOD OF MANUFACTURING SOLID ELECTROLYTIC CAPACITOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a small-sized chip capacitor having large capacitance.

**SOLUTION:** In a method of manufacturing a solid electrolytic capacitor, in which a capacitor element 2 having an anode lead 11 led out at one end thereof, and a cathode formed on the outer peripheral surface is resin-sealed, in order to improve the volume ratio of the capacitor element to a capacitor finished product, the capacitor element 2 is bonded on the inner surface of a circuit board 3 which has a positive electrode and negative electrode both on the inner and outer surfaces thereof and the electrodes having the same polarity are connected to each other via through-holes, so that the negative electrode on the surface and the cathode of the capacitor element 2 are electrically connected, and after the anode lead 11 of the capacitor element 2 is connected to the positive electrode, the outer surface of the circuit board 3 is exposed and the capacitor element 2 is resin-sealed.



## LEGAL STATUS

[Date of request for examination]

02.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] In the process of the solid state electrode capacitor which performs a resin seal to the capacitor element (2) which drew the anode plate lead (11) at the end, and formed cathode in the peripheral face It has a plus electrode and a minus electrode to inside-and-outside both sides, respectively. While pasting up said capacitor element (2) on the inside of the circuit board (3) which flowed through like poles in the through hole and connecting electrically the minus electrode of this field, and the cathode of a capacitor element (2), after joining the anode plate lead (11) of a capacitor element (2) to a brass electrode, The manufacture approach of the solid electrolytic capacitor characterized by exposing the external surface of the circuit board (3) and performing a resin seal to a capacitor element (2).

[Claim 2] The manufacture approach of the solid electrolytic capacitor according to claim 1 characterized by dividing the pattern of the plus electrode of the external surface of the circuit board (3), and a minus electrode or more into two, respectively.

[Claim 3] The valve action metal which constitutes a capacitor element (2) is the manufacture approach of the solid electrolytic capacitor according to claim 1 or 2 which is a sintered compact.

[Claim 4] The manufacture approach of a solid electrolytic capacitor given in claim 1 thru/or any of 3 they are. [ which inserts an anode plate lead (11) in the through hole of the circuit board (3) ]

[Claim 5] The manufacture approach of a solid electrolytic capacitor given in claim 1 thru/or any of 4 they are. [ which adhesion connection of the capacitor element (2) is made, and is characterized by performing aging processing before cutting into the capacitor of each magnitude the circuit board (3) by which the resin seal was carried out ]

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the process of the chip capacitor which raised the rate of a volume ratio of the capacitor element to a capacitor finished product in the manufacture approach of a chip type solid electrolytic capacitor.

[0002]

[Description of the Prior Art] A solid electrolytic capacitor is shown in drawing 3, carries out sequential formation of the dielectric oxide film, a solid electrolyte layer, a carbon layer, and the silver paste layer at the sintered compact which consists of a valve action metal with which the anode plate lead (11) is drawn by the end (for example, tantalum sintered compact), and completes a capacitor element (2) so that it may be well-known. Next, weldbonding of one leadframe is carried out to an anode plate lead (11) among two leadframes (21) beforehand bent in the predetermined dimension, and (22), and adhesion connection of the leadframe (22) of another side is made with silver adhesives (4) at a \*\*\*\*-strike layer. Next, the resin seal of the capacitor element (2) is changed into the condition of having exposed the tip side of a leadframe (21) and (22) by a transfer mold etc. Finally the leadframe (21) drawn by the outside of sheathing resin (6) and (22) are bent in a predetermined dimension, a plus electrode and a minus electrode are formed, and a capacitor is completed.

[0003]

[Problem(s) to be Solved by the Invention] It is necessary to take the bending cost (24) of a leadframe (21) for the welding margin (23) for the connection with a plus side with an anode plate lead (11) and a leadframe (21) to a minus side by the approach by the above-mentioned conventional technique. For example, in the case of the capacitor of die length of 7.3mm, and width-of-face 4.3mm size (henceforth "D case"), the thickness L1 and L2 of the sheathing resin by the side of plus and minus (6) was about 1.8mm, respectively. Moreover, conventionally, a leadframe (21) and (22) needed to be bent on the outside of sheathing resin (6), and the die length of the sheathing resin after mold (6) needed to be small cast by the thickness of a leadframe (21) to the value of standard of 7.3mm of D case (refer to drawing 3).

[0004] The die length of the sheathing resin after mold (6) is cast by the above-mentioned example by 7.1mm.

Therefore, by the approach by the conventional technique, the rate of a volume ratio of the capacitor element to a capacitor finished product large enough (only henceforth "the rate of a volume ratio") could not be taken, but the rate of a volume ratio had stopped to about 20.4% as the following table 1. Table 1 is an example in the case of a capacitor with a height of 1.8mm in D case. This invention solves the above-mentioned problem and offers a small mass chip capacitor by improvement in the rate of a volume ratio.

[0005]

[Table 1]

	体積 (mm <sup>3</sup> )	体積比率
コンデンサ	56.50	—
タンタル焼結体	11.55	20.4%

[0006]

[Means for Solving the Problem] In the process of the solid state electrode capacitor which performs a resin seal to the capacitor element (2) which the manufacture approach of the solid electrolytic capacitor of this invention drew the anode plate lead (11) at the end, and formed cathode in the peripheral face It has a plus electrode and a minus electrode to inside-and-outside both sides, respectively. While pasting up said capacitor element (2) on the inside of the circuit

board (3) which flowed through like poles in the through hole and connecting electrically the minus electrode of this field, and the cathode of a capacitor element (2), after joining the anode plate lead (11) of a capacitor element (2) to a brass electrode, It is characterized by exposing the external surface of the circuit board (3) and performing a resin seal to a capacitor element (2).

[0007]

[Function and Effect] Since the rate of a volume ratio can be enlarged by making adhesion connection of the capacitor element (2) at the circuit board (print sir kid board) (3), a small mass capacitor can be obtained. Moreover, since the conventional leadframe (21) is omissible, the small capacitor of equivalent series resistance (ESR) can be manufactured. Furthermore, the leadframe (21) which was being used conventionally becomes unnecessary and junction of a leadframe (21) and the time and effort of bending can be saved.

[0008]

[Embodiment of the Invention] As shown in drawing 10 , a solid electrolytic capacitor draws an anode plate lead (11) at the end, and is performing the resin seal to the capacitor element (2) which formed cathode in the peripheral face. After a capacitor element (2) makes the front face of valve action metals, such as a tantalum (Ta), aluminum (aluminum), niobium (Nb), and titanium (Ti), produce the dielectric oxide film and makes giant-molecule organic semiconductors, such as polypyrrole, the poly thiophene, and the poly aniline, form in it as a solid electrolyte on this coat by approaches, such as anodization, it carries out sequential formation of a carbon layer and the silver paste layer, and is completed. The silver paste layer (not shown) serves as cathode. Since the above-mentioned capacitor element (2) is producible with a well-known technique (for example, JP,8-148392,A (H01G9/00)), explanation of the process of the capacitor element itself is omitted. In the following examples, the tantalum sintered compact (1) was adopted as a valve action metal, and polypyrrole was adopted as a solid electrolyte.

[0009] As shown in drawing 10 , an "example 1" tantalum sintered compact (1) is a flat rectangular parallelepiped, and is drawing the anode plate lead (11) from the end side which intersects perpendicularly with a longitudinal direction to the longitudinal direction. On the occasion of the process of a capacitor, the circuit board (3) is first produced like drawing 4 . This example is an example in the case of manufacturing the capacitor of D case, and shows the layout which manufactures 360 capacitors (30x6x2) by the circuit board (3) of one sheet by drawing 4 . A glass fabric and epoxy resin copper clad laminate with a thickness of 0.2mm were used for the circuit board (3).

[0010] The pattern of the circuit board (3) used by this example is shown in drawing 5 and drawing 6 . Here, the field which a capacitor element (2) pastes up is made into an inside, and the opposite field is made into external surface. Moreover, the outside plus electrode (31) and the minus electrode (32) of an inside are electrically connected with the outside minus electrode (32) for the plus electrode (31) of an inside in the through hole (33), respectively. The pattern of the electrode of an inside is shown in drawing 5 , and Batang of an outside electrode is shown in drawing 6 . Furthermore, all the minus electrodes (32) of the circuit board (3) are electrically connected, as shown in drawing 5 and drawing 6 . This is for the facilities in the case of aging mentioned later.

[0011] Next, the anode plate lead (11) of a capacitor element (2) is connected to the plus electrode (31) of a circuit board (3) inside, and a periphery silver paste layer is connected to the minus electrode (32) of the inside of the circuit board (3), respectively. At this time, the periphery silver paste layer (cathode) of a capacitor element (2) makes adhesion connection at the minus electrode (32) of the circuit board (3) using silver adhesives (4) directly, and after bending at about 90 degrees by fixed die length, silver adhesives (4) are used for a plus electrode (31), and it makes adhesion connection of the anode plate lead (11). Next, sheathing resin (6), such as an epoxy resin, is applied from the circuit board (3) so that height may become fixed. In this example, it applied so that the height of sheathing resin (6) might be set to about 1.6mm. Then, sheathing resin (6) is stiffened by putting into 150-degree C curing oven for 30 minutes.

[0012] Next, before carving the circuit board (3) per product, it ages for the purpose of reduction of the leakage current by impressing direct current voltage to each capacitor. Since the plus electrode (31) has been independent, respectively, it is necessary to connect it for every capacitor but, and since the minus electrode (32) is common, it has the advantage for which it is sufficient if it connects with a power source at one place. Finally, it cuts into predetermined magnitude by dicing, and a chip capacitor (40) is completed.

[0013] In order not to use a leadframe (21) like before in this invention, the die-length dimension L1 of the sheathing resin by the side of minus (6) Since 1.8 conventionalmm is made to 0.5mm and it is not necessary to bend a leadframe (21) and (22) further on the outside of sheathing resin (6), From 7.3mm and the former, 0.2mm, the die length of the whole sheathing resin (6) could be cast for a long time, and the die length of a capacitor element (2) was able to lengthen it 1.5mm on the whole. When this relation (the die-length direction) is summarized, it is as in the following table 2.

[0014]

[Table 2]

	従来	実施例 1	実施例 2
リードフレーム (+側)	0. 1 mm	—	—
外装樹脂 (+側)	1. 8 mm	1. 8 mm	0. 5 mm
コンデンサ素子	3. 5 mm	5. 0 mm	6. 3 mm
外装樹脂 (-側)	1. 8 mm	0. 5 mm	0. 5 mm
リードフレーム (-側)	0. 1 mm	—	—
計 (全体の長さ)	7. 3 mm	7. 3 mm	7. 3 mm

[0015] Moreover, if it sees about the height direction, the thickness of the leadframe (21) bent so that the inferior surface of tongue of the leadframe (22) and sheathing resin (6) which cover the top face of the capacitor element (2) which was the need conventionally like drawing 3 may be touched, and (22) will become unnecessary. Therefore, the height of a capacitor element (2) was highly made 0.3mm compared with the former. When this relation is summarized, it is as in Table 3. In addition, about the cross direction, the relation between the width of face of the sheathing resin after molding (6) and the width of face of a capacitor element (2) is the same as the former.

[0016] The "example 2" example 2 is drawing the anode plate lead (11) along the thickness direction of this sintered compact on one side of the tantalum sintered compact (1) of a flat rectangular parallelepiped, as shown in drawing 11. From formation of the dielectric oxide film to a tantalum sintered compact (1), a well-known technique can perform formation of a polypyrrole layer, a carbon layer, and a silver paste layer like the above-mentioned example 1, and a capacitor element (2) completes it. However, a silver paste layer is not formed near the root of an anode plate lead (11).

[0017] The pattern of the inside of the circuit board (3) used for this example and external surface is as drawing 7 and drawing 8. A capacitor element (2) is made into said this appearance, and adhesion connection is made at the inside of the circuit board (3). At this time, as shown in drawing 2, an anode plate lead (11) is inserted in the through hole (33) of the circuit board (3) to the middle, and is connected by silver adhesives (4) all over the through hole (33). Adhesion connection of the part in which the silver paste layer is formed except for near the root of an anode plate lead (11) of the field where the anode plate lead (11) of a capacitor element (2) is drawn is made with the minus electrode (32) of a circuit board (3) inside by silver adhesives (4). Next, a capacitor element (2) is closed with sheathing resin (6), such as an epoxy resin. The process after the closure of sheathing resin (6) is the same as an example 1.

[0018] In the example 2, since 1.8 conventionalmm can be set to 0.5mm also about the die-length dimension L2 of the sheathing resin by the side of plus (6), the die length of a capacitor element (2) can be further lengthened 1.3mm rather than the example 1. (Refer to Table 2). In addition, about the height direction and the cross direction, it is the same as the case of an example 1 (refer to [ following / Table 3 ]).

[0019]

[Table 3]

	従来例	実施例 1 及び 2
外装樹脂 (上部)	0. 2 mm	0. 2 mm
リードフレーム (上部)	0. 1 mm	—
銀接着剤 (上部)	0. 1 mm	—
コンデンサ素子	1. 0 mm	1. 3 mm
銀接着剤 (-部)	—	0. 1 mm
外装樹脂 (下部) / PC 基板	0. 2 mm	0. 2 mm
外装樹脂とリードフレームとの隙間	0. 1 mm	—
リードフレーム (下部)	0. 1 mm	—
計 (全体の高さ)	1. 8 mm	1. 8 mm

[0020] The volume and the rate of a volume ratio of the capacitor element (2) used in the above-mentioned examples 1 and 2 are as in the following table 4.

[0021]

[Table 4]

	体積	体積比	体積比率
実施例 1	16. 50	1. 86	38. 0 %
実施例 2	27. 03	2. 34	47. 8 %
従来	11. 55	1. 00	20. 4 %

[0022] In the example 1, the rate of a volume ratio can be increased about 1.86 times over the past, and can be increased about 2.34 times in the example 2, respectively. Thus, it turns out that it becomes possible to enlarge the rate of a volume ratio, and a small mass capacitor can be realized by this invention.

[0023] A pattern can be divided into some about the pattern of "example 3" external surface. In this example, the plus side minus side is divided into six, respectively (refer to drawing 9 ). A solder ball is formed in each pattern and it is considering as the electrode.

[0024] Since the rate of a volume ratio can be enlarged by this invention like the above by making adhesion connection of the capacitor element (2) at the circuit board (3), a small mass capacitor can be obtained. Moreover, since it is not necessary to use a leadframe (21), the small capacitor of equivalent series resistance (ESR) can be manufactured.

Furthermore, in case a capacitor (40) is arranged at the mounting circuit board (41) as shown in drawing 12 since the conventional leadframe (21) is omissible, the soldering area (42) of the both sides of a capacitor (40) and (42) can become unnecessary, can raise the packaging density of the electronic parts of the mounting circuit board (41), and can contribute to the miniaturization of electronic equipment (refer to drawing 13 ).

[0025] This invention is not limited to the configuration of the above-mentioned example, and various deformation is possible for it in the range of a publication to a claim.

---

[Translation done.]

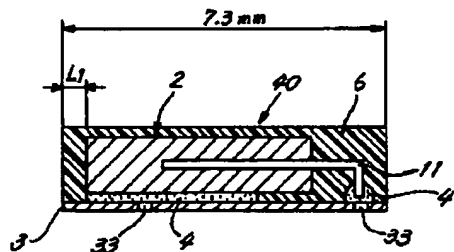
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

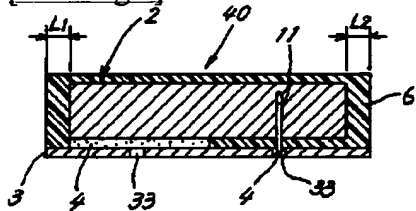
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

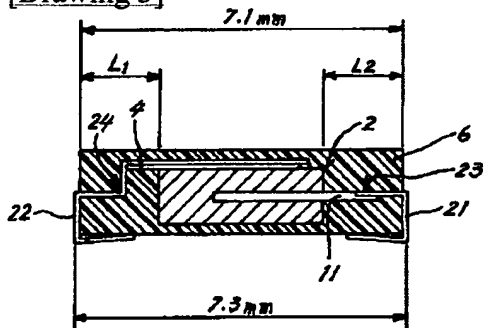
[Drawing 1]



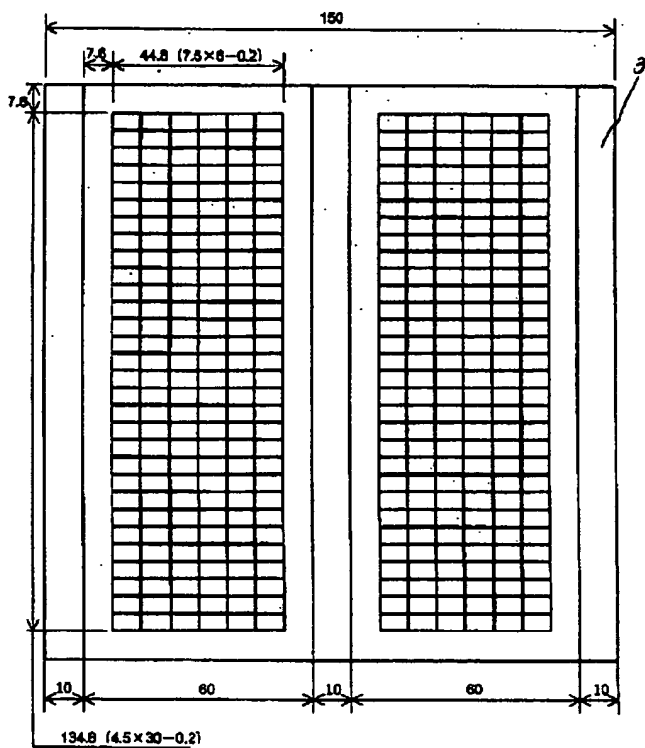
[Drawing 2]



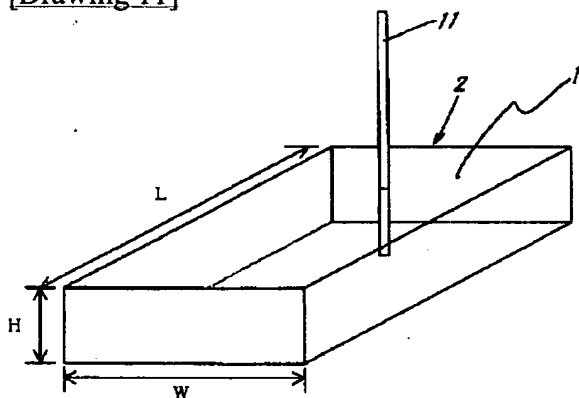
[Drawing 3]



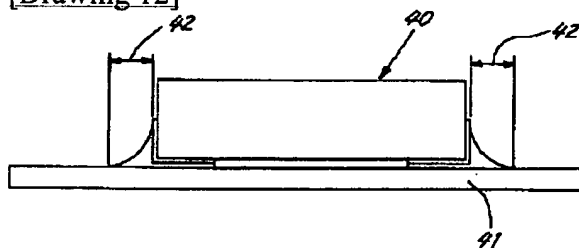
[Drawing 4]



[Drawing 11]

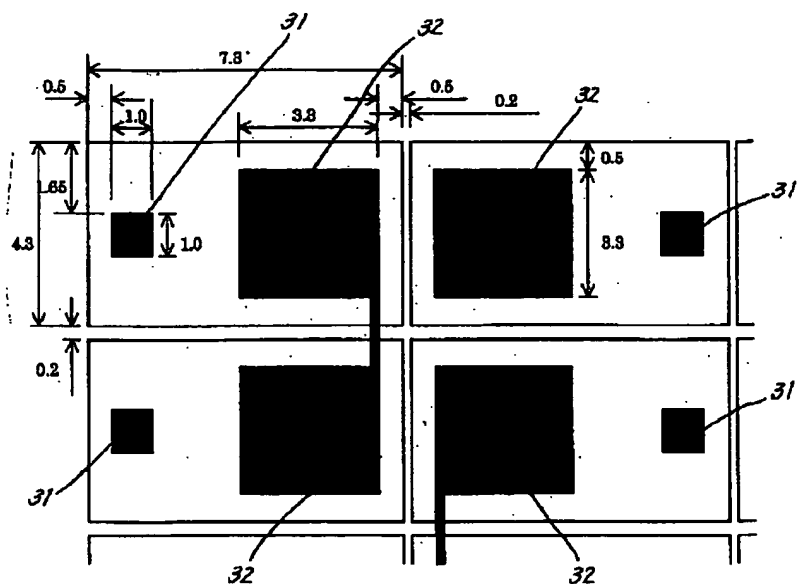


[Drawing 12]

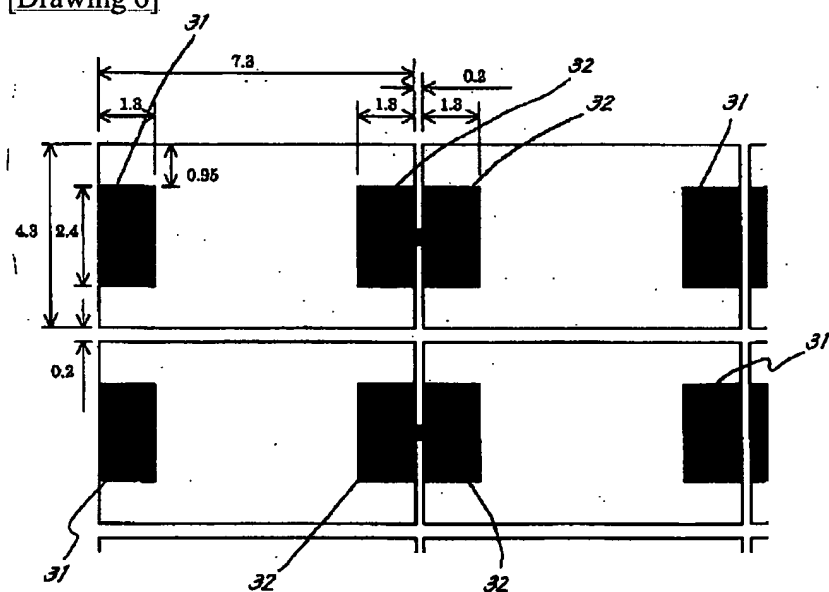


[Drawing 5]

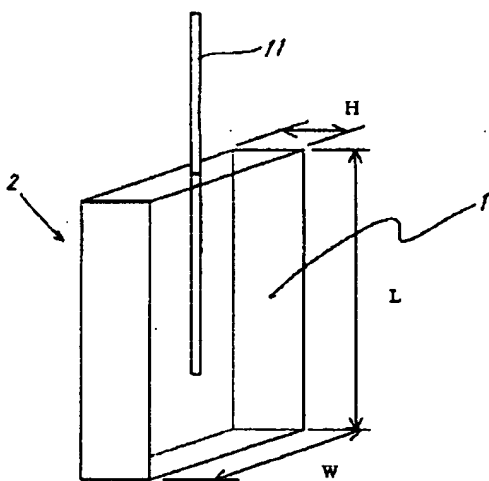




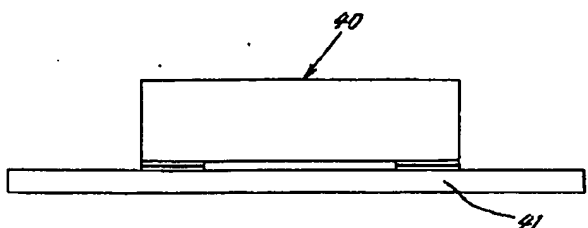
[Drawing 6]



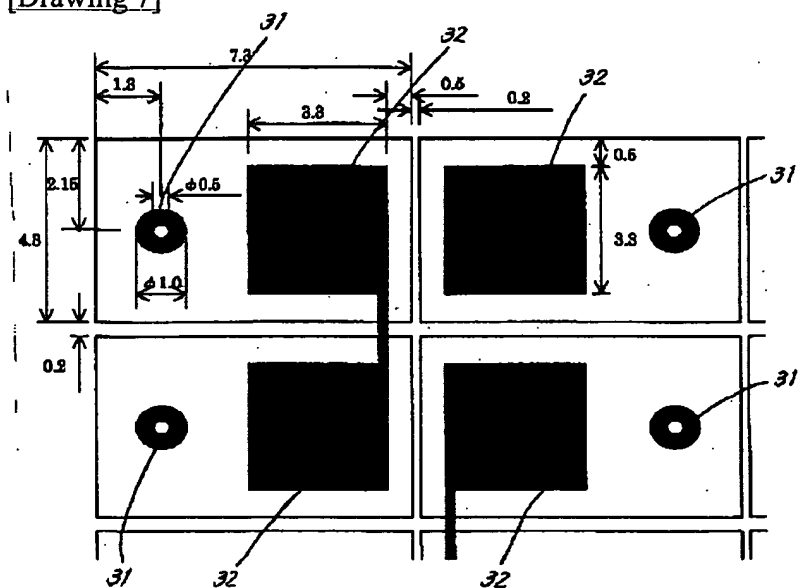
[Drawing 10]



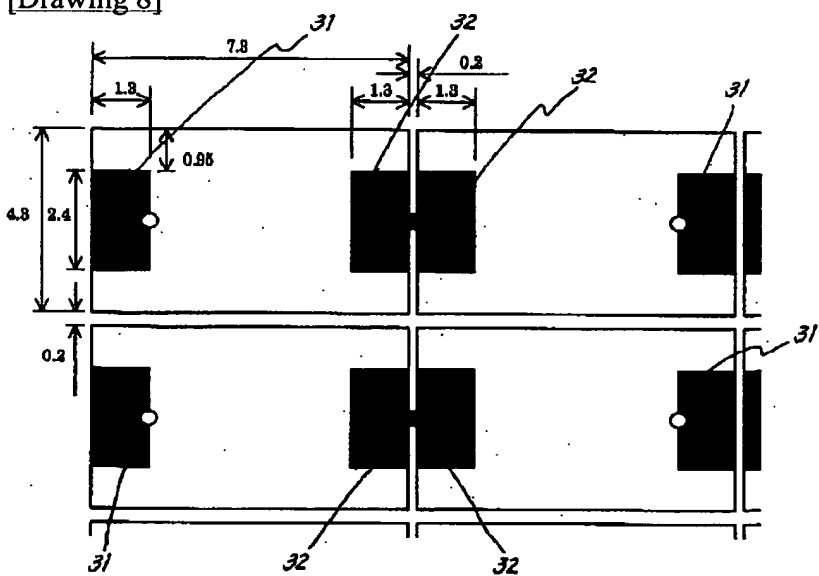
[Drawing 13]



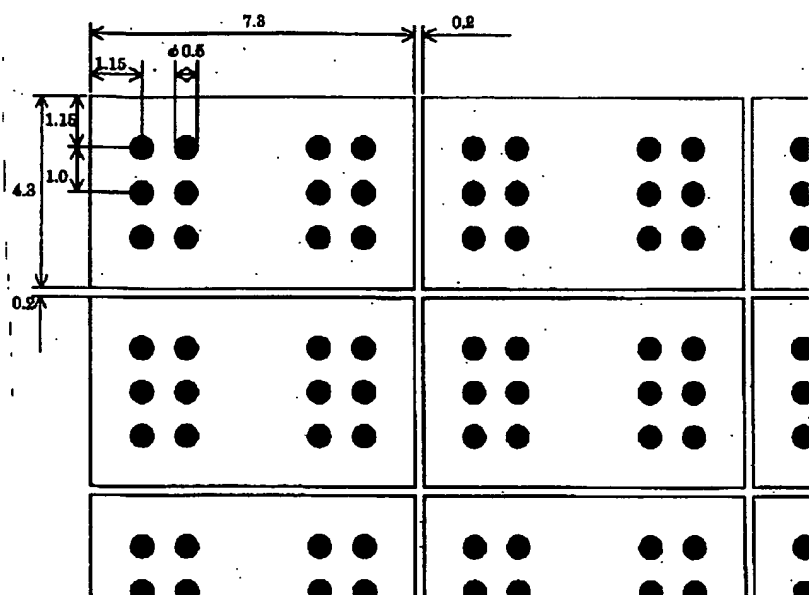
[Drawing 7]



[Drawing 8]



[Drawing 9]



---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-102252  
(P2001-102252A)

(43) 公開日 平成13年4月13日 (2001. 4. 13)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)	
H 0 1 G	9/004	H 0 1 G	9/05	C
	9/08		9/08	C

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平11-277926

(22) 出願日 平成11年9月30日 (1999. 9. 30)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(71) 出願人 397016703

三洋電子部品株式会社

大阪府大東市三洋町 1 番 1 号

(72) 発明者 岸本 泰広

大阪府大東市三洋町一番一号 三洋電子部品株式会社内

(74) 代理人 100066728

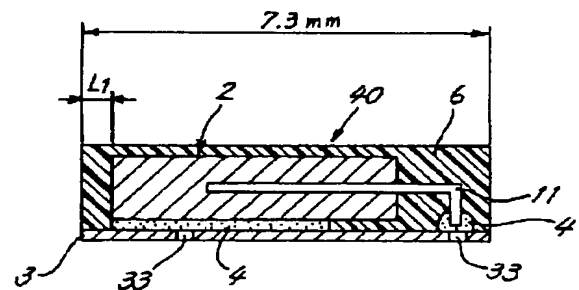
弁理士 丸山 敏之 (外 2 名)

(54) 【発明の名称】 固体電解コンデンサの製造方法

(57) 【要約】

【課題】 小型で大容量のチップコンデンサを提供する。

【解決する手段】 一端に陽極リード11を導出し、外周面に陰極を形成したコンデンサ素子2に対して樹脂封止を行う固体電極コンデンサの製法において、コンデンサ完成品に対するコンデンサ素子の体積比率を向上させるために、内外両面に夫々プラス電極とマイナス電極を有し、同極どうしをスルーホールで導通した回路基板3の内面に前記コンデンサ素子2を接着して該面のマイナス電極とコンデンサ素子2の陰極を電氣的に接続するとともにコンデンサ素子2の陽極リード11をプラス電極に接合した後、回路基板3の外面を露出させてコンデンサ素子2に対して樹脂封止を行う。



## 【特許請求の範囲】

【請求項1】 一端に陽極リード(11)を導出し、外周面に陰極を形成したコンデンサ素子(2)に対して樹脂封止を行う固体電極コンデンサの製法において、内外両面に夫々プラス電極とマイナス電極を有し、同極どうしをスルーホールで導通した回路基板(3)の内面に前記コンデンサ素子(2)を接着して該面のマイナス電極とコンデンサ素子(2)の陰極を電氣的に接続するとともにコンデンサ素子(2)の陽極リード(11)をプラス電極に接合した後、回路基板(3)の外面を露出させてコンデンサ素子(2)に対して樹脂封止を行うことを特徴とする固体電解コンデンサの製造方法。

【請求項2】 回路基板(3)の外面のプラス電極及びマイナス電極のパターンをそれぞれ2以上に分割したことを特徴とする請求項1記載の固体電解コンデンサの製造方法。

【請求項3】 コンデンサ素子(2)を構成する弁作用金属は焼結体である請求項1又は2に記載の固体電解コンデンサの製造方法。

【請求項4】 陽極リード(11)を回路基板(3)のスルーホールに挿入する請求項1乃至3の何れかに記載の固体電解コンデンサの製造方法。

【請求項5】 コンデンサ素子(2)が接着接続され樹脂封止された回路基板(3)を個々の大きさのコンデンサにカットする前に、エージング処理を行うことを特徴とする請求項1乃至4の何れかに記載の固体電解コンデンサの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、チップタイプの固体電解コンデンサの製造方法において、コンデンサ完成品に対するコンデンサ素子の体積比率を向上させたチップコンデンサの製法に関するものである。

## 【0002】

【従来の技術】固体電解コンデンサは、図3に示し公知の如く、一端に陽極リード(11)が導出されている弁作用金属からなる焼結体等(例えばタンタル焼結体)に誘電体酸化皮膜、固体電解質層、カーボン層、銀ペースト層を順次形成し、コンデンサ素子(2)を完成する。次に、予め所定の寸法に折り曲げた2つのリードフレーム(21)(22)の内、一方のリードフレームを陽極リード(11)に溶接接合し、他方のリードフレーム(22)を銀接着剤(4)によって銀ペースト層に接着接続する。次に、トランスファーマールド等により、リードフレーム(21)(22)の先端側を露出させた状態にコンデンサ素子(2)を樹脂封止する。最後に、外装樹脂(6)の外側に導出されたリードフレーム(21)(22)を所定の寸法に折り曲げてプラス電極及びマイナス電極を形成してコンデンサを完成する。

## 【0003】

【本発明が解決しようとする課題】上記従来技術による

方法では、プラス側に陽極リード(11)とリードフレーム(21)との接続のための溶接代(23)を、マイナス側にリードフレーム(21)の折り曲げ代(24)をとる必要がある。例えば、長さ7.3mm、幅4.3mmのサイズ(以下、「Dケース」という)のコンデンサの場合、プラス側及びマイナス側の外装樹脂(6)の肉厚L1、L2は、それぞれ約1.8mmであった。また、従来は外装樹脂(6)の外側でリードフレーム(21)(22)を折り曲げる必要があり、モールド後の外装樹脂(6)の長さは、Dケースの規格値7.3mmに対してリードフレーム(21)の厚み分だけ小さく成型する必要があった(図3参照)。

【0004】上記の例では、モールド後の外装樹脂(6)の長さは7.1mmに成型されている。そのため従来技術による方法では、コンデンサ完成品に対するコンデンサ素子の体積比率(以下、単に「体積比率」という)を十分に大きくとることができず、体積比率は下記の表1のとおり約20.4%に止まっていた。表1はDケースで高さ1.8mmのコンデンサの場合の例である。本発明は、上記問題を解決し、体積比率の向上により小型で大容量のチップコンデンサを提供するものである。

## 【0005】

## 【表1】

	体積 (mm <sup>3</sup> )	体積比率
コンデンサ	56.50	—
タンタル焼結体	11.55	20.4%

## 【0006】

【課題を解決する手段】本発明の固体電解コンデンサの製造方法は、一端に陽極リード(11)を導出し、外周面に陰極を形成したコンデンサ素子(2)に対して樹脂封止を行う固体電極コンデンサの製法において、内外両面に夫々プラス電極とマイナス電極を有し、同極どうしをスルーホールで導通した回路基板(3)の内面に前記コンデンサ素子(2)を接着して該面のマイナス電極とコンデンサ素子(2)の陰極を電氣的に接続するとともにコンデンサ素子(2)の陽極リード(11)をプラス電極に接合した後、回路基板(3)の外面を露出させてコンデンサ素子(2)に対して樹脂封止を行うことを特徴とする。

## 【0007】

【作用及び効果】回路基板(プリントサーキットボード)(3)にコンデンサ素子(2)を接着接続することにより、体積比率を大きくすることができるため、小型で大容量のコンデンサを得ることができる。また、従来のリードフレーム(21)を省略できるため、等価直列抵抗(ESR)の小さいコンデンサを製造できる。さらに、従来使用していたリードフレーム(21)が不要となり、リードフレーム(21)の接合、折り曲げの手間が省ける。

## 【0008】

【発明の実施の形態】固体電解コンデンサは、図10に

示す如く、一端に陽極リード(11)を導出し、外周面に陰極を形成したコンデンサ素子(2)に対して樹脂封止を行っている。コンデンサ素子(2)は、タンタル(Ta)、アルミニウム(Al)、ニオブ(Nb)、チタン(Ti)等の并作用金属の表面に、陽極酸化等の方法により、誘電体酸化皮膜を生じさせ、該皮膜上にポリピロール、ポリチオフェン、ポリアニリン等の高分子有機半導体を固体電解質として形成せしめた後、カーボン層、銀ペースト層を順次形成して完成する。銀ペースト層(図示せず)が陰極となっている。上記コンデンサ素子(2)は公知技術(例えば特開平8-148392(H01G9/00))によ

【0009】「実施例1」タンタル焼結体(1)は、図10に示す如く、扁平直方体であり、長手方向と直交する一端面から長手方向に陽極リード(11)を導出している。コンデンサの製法に際し、まず、図4のように回路基板(3)を作製する。本実施例は、Dケースのコンデンサを製造する場合の例であり、図4では、1枚の回路基板(3)で360個(30×6×2)のコンデンサを製造するレイアウトを示している。回路基板(3)には、厚み0.2mmのガラス布・エポキシ樹脂銅張積層板を用いた。

【0010】本実施例で用いた回路基板(3)のパターンを図5及び図6に示す。ここでは、コンデンサ素子(2)が接着される面を内面とし、その反対の面を外面としている。また、内面のプラス電極(31)は外面のプラス電極(31)と、内面のマイナス電極(32)は外面のマイナス電極(32)とそれぞれスルーホール(33)で電氣的に接続されている。内面の電極のパターンを図5に、外面の電極のパターンを図6に示す。さらに、回路基板(3)のすべてのマイナス電極(32)は、図5及び図6に示すように電氣的

に接続されている。これは、後述するエージングの際の便宜のためである。

【0011】次に、コンデンサ素子(2)の陽極リード(11)を回路基板(3)内面のプラス電極(31)に、外周銀ペースト層を回路基板(3)の内面のマイナス電極(32)にそれぞれ接続する。このとき、コンデンサ素子(2)の外周銀ペースト層(陰極)は回路基板(3)のマイナス電極(32)に直接に銀接着剤(4)を用いて接着接続し、陽極リード(11)は一定の長さで約90度に曲げてからプラス電極(31)に銀接着剤(4)を用いて接着接続する。次に、エポキシ樹脂等の外装樹脂(6)を高さが一定になるように回路基板(3)の上から塗布する。本実施例では外装樹脂(6)の高さが約1.6mmになるように塗布した。その後、150℃の硬化炉に30分入れることにより外装樹脂(6)を硬化させる。

【0012】次に、回路基板(3)を製品単位に切り分ける前に、個々のコンデンサに直流電圧を印加することにより、漏れ電流の低減を目的としてエージングを行う。プラス電極(31)はそれぞれ独立しているため、コンデンサ毎に接続する必要があるが、マイナス電極(32)は共通であるから、一ヶ所に電源に接続すれば足りる利点がある。最後に、ダイシングにより所定の大きさにカットし、チップコンデンサ(40)が完成する。

【0013】本発明では、従来のようにリードフレーム(21)を用いないため、マイナス側の外装樹脂(6)の長さ寸法L1は、従来の1.8mmを0.5mmにでき、さらに、外装樹脂(6)の外側でリードフレーム(21)(22)を折り曲げる必要がないため、外装樹脂(6)の全体の長さを7.3mmと従来より0.2mm長く成型でき、コンデンサ素子(2)の長さは全体で1.5mm長くできた。この関係(長さ方向)をまとめると下記の表2の通りである。

【0014】

【表2】

	従来	実施例1	実施例2
リードフレーム(+側)	0.1mm	—	—
外装樹脂(+側)	1.8mm	1.8mm	0.5mm
コンデンサ素子	3.5mm	5.0mm	6.3mm
外装樹脂(−側)	1.8mm	0.5mm	0.5mm
リードフレーム(−側)	0.1mm	—	—
計(全体の長さ)	7.3mm	7.3mm	7.3mm

40

【0015】また、高さ方向についてみると、図3のように従来必要であったコンデンサ素子(2)の上面に被さるリードフレーム(22)及び外装樹脂(6)の下面に接する様に折り曲げられるリードフレーム(21)(22)の厚みが不要となる。そのため、コンデンサ素子(2)の高さは従来に比べて0.3mm高くできた。この関係をまとめると表3の通りである。尚、幅方向に関しては、成型後の外装樹脂(6)の幅とコンデンサ素子(2)の幅との関係は従来と同じである。

【0016】「実施例2」実施例2は、図11に示す如

く、扁平直方体のタンタル焼結体(1)の片面に該焼結体の厚み方向に沿って陽極リード(11)を導出している。タンタル焼結体(1)に対する誘電体酸化皮膜の形成から、ポリピロール層、カーボン層及び銀ペースト層の形成は上記実施例1と同様に公知技術により行うことができ、コンデンサ素子(2)が完成する。但し、陽極リード(11)の根元付近には銀ペースト層は形成しない。

【0017】本実施例に用いた回路基板(3)の内面及び外面のパターンは図7及び図8のとおりである。コンデンサ素子(2)は前記同様にして回路基板(3)の内面に接

50

着接続される。このとき、図2に示す如く、陽極リード(11)は回路基板(3)のスルーホール(33)に途中まで挿入され、銀接着剤(4)によりスルーホール(33)中で接続されている。コンデンサ素子(2)の陽極リード(11)が導出されている面の陽極リード(11)の根元付近を除いて銀ペースト層が形成されている部分は、銀接着剤(4)により、回路基板(3)内面のマイナス電極(32)と接着接続される。次に、コンデンサ素子(2)をエポキシ樹脂等の外装樹脂(6)によって封止する。外装樹脂(6)の封止以降

の工程は、実施例1と同様である。

【0018】実施例2では、プラス側の外装樹脂(6)の長さ寸法L2についても従来の1.8mmを0.5mmにすることができるため、実施例1よりもさらにコンデンサ素子(2)の長さを1.3mm長くすることができる。(表2参照)。尚、高さ方向及び幅方向に関しては、実施例1の場合と同じである(下記の表3参照)。

【0019】

【表3】

	従来例	実施例1及び2
外装樹脂(上部)	0.2mm	0.2mm
リードフレーム(上部)	0.1mm	—
銀接着剤(上部)	0.1mm	—
コンデンサ素子	1.0mm	1.3mm
銀接着剤(下部)	—	0.1mm
外装樹脂(下部)／PC基板	0.2mm	0.2mm
外装樹脂とリードフレームとの隙間	0.1mm	—
リードフレーム(下部)	0.1mm	—
計(全体の高さ)	1.8mm	1.8mm

【0020】上記実施例1及び2で用いたコンデンサ素子(2)の体積及び体積比率は下記表4のとおりである。

【0021】

【表4】

	体積	体積比	体積比率
実施例1	16.50	1.86	38.0%
実施例2	27.03	2.34	47.8%
従来	11.55	1.00	20.4%

【0022】実施例1では、体積比率を従来の約1.86倍、実施例2では約2.34倍にそれぞれ大きくすることができる。このように、本発明によって、体積比率を大きくすることが可能となり、小型で大容量のコンデンサを実現できることが解る。

【0023】「実施例3」

外面のパターンについては、パターンをいくつかに分割することができる。本実施例では、プラス側マイナス側をそれぞれ6つに分割している(図9参照)。それぞれのパターンにはんだボールを形成して電極としている。

【0024】上記の如く、本発明では、回路基板(3)にコンデンサ素子(2)を接着接続することにより、体積比率を大きくすることができるため、小型で大容量のコンデンサを得ることができる。また、リードフレーム(21)を用いる必要がないため、等価直列抵抗(ESR)の小さいコンデンサを製造することができる。さらに、従来のリードフレーム(21)を省略できるため、図12に示す如く、実装回路基板(41)にコンデンサ(40)を配備する際に、コンデンサ(40)の両側のはんだ付けエリア(42)(42)が不要となり、実装回路基板(41)の電子部品の実装密度を向上させることができ、電子機器の小型化に貢献できる(図13参照)。

【0025】本発明は上記実施例の構成に限定されることなく、特許請求の範囲に記載の範囲で種々の変形が

可能である。

【図面の簡単な説明】

【図1】本発明の実施例1による固体電解コンデンサの断面図である。

【図2】本発明の実施例2による固体電解コンデンサの断面図である。

【図3】従来技術による固体電解コンデンサ素子の断面図である。

【図4】回路基板3のレイアウト図である。

【図5】実施例1における内面のパターン図である。

【図6】実施例1における外面のパターン図である。

【図7】実施例2における内面のパターン図である。

【図8】実施例2における外面のパターン図である。

【図9】実施例3におけるパターン図である。

【図10】実施例1におけるタンタル焼結体の斜視図である。

【図11】実施例2におけるタンタル焼結体の斜視図である。

【図12】従来技術における実装回路基板へのコンデンサ実装図である。

【図13】本発明における実装回路基板へのコンデンサ実装図である。

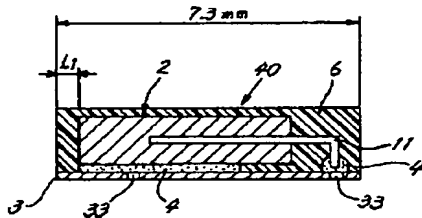
【符号の説明】

(1) タンタル焼結体

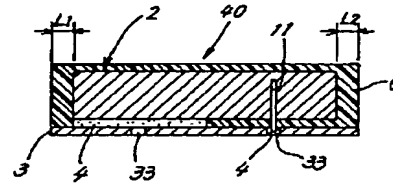
- (2) コンデンサ素子
- (3) 回路基板
- (4) 銀接着剤
- (6) 外装樹脂
- (11) 陽極リード

- (21) リードフレーム
- (31) プラス電極
- (32) マイナス電極
- (33) スルーホール
- (40) コンデンサ

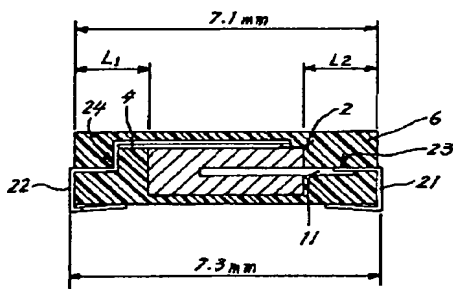
【図1】



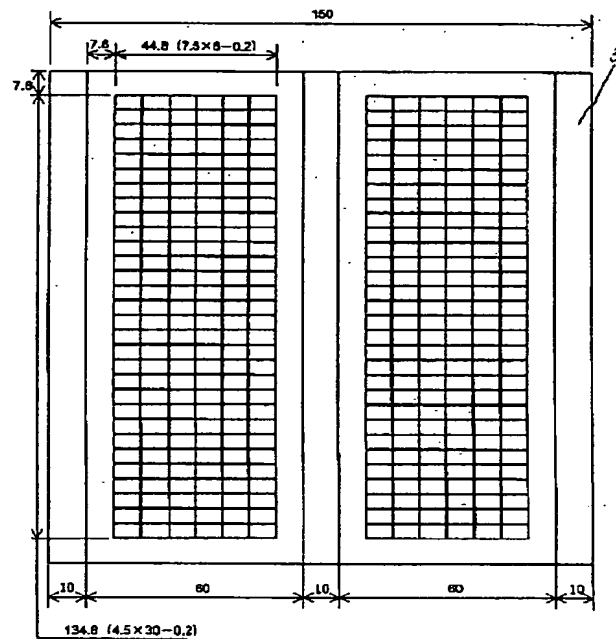
【図2】



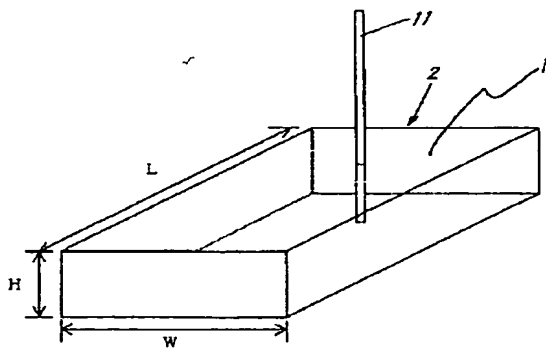
【図3】



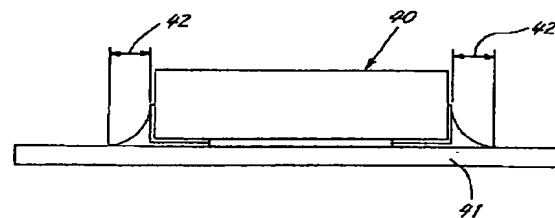
【図4】



【図11】

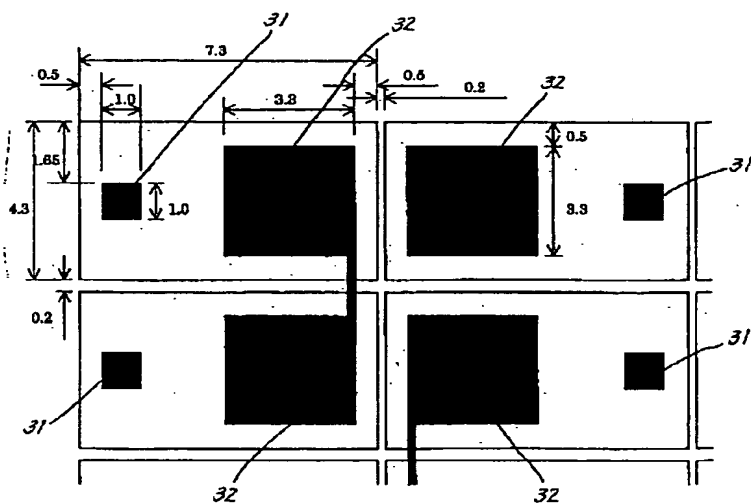


【図12】

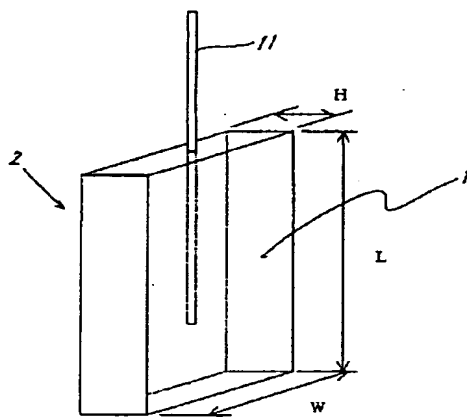




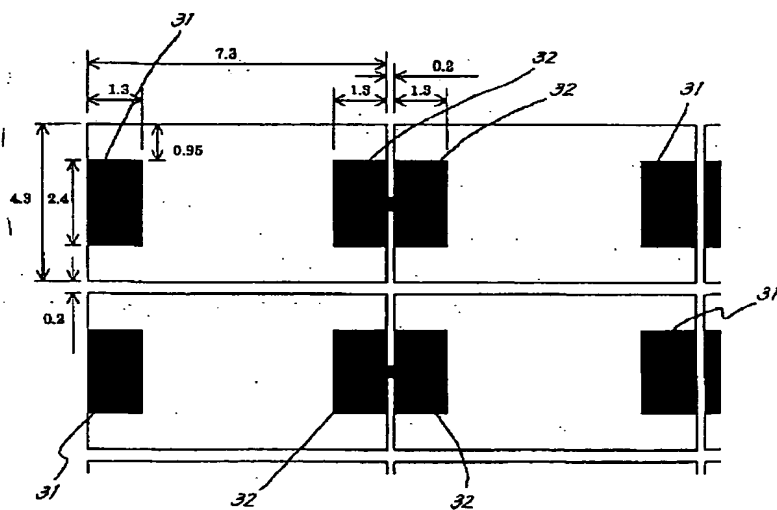
【図5】



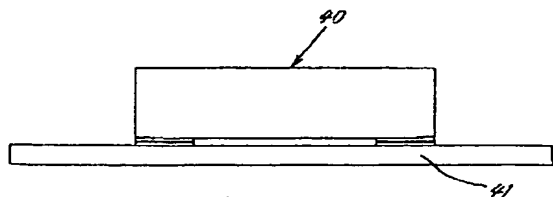
【図10】



【図6】

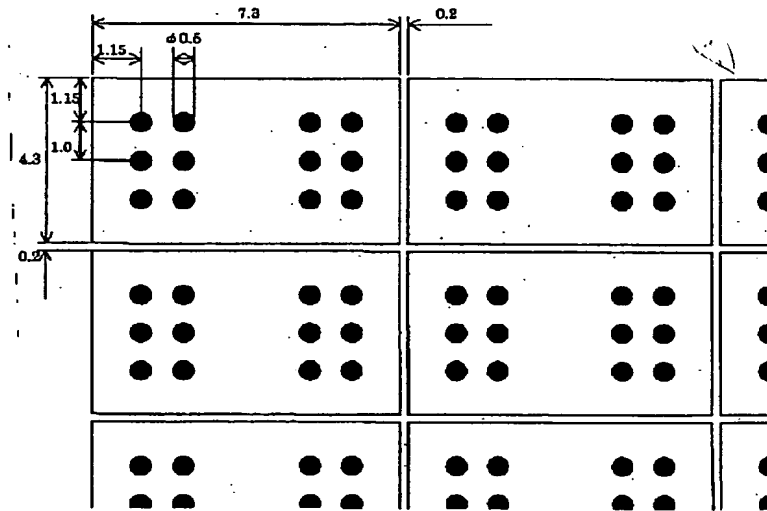


【図13】



Technical drawing of a four-cell array (top-down view). The array is divided into four quadrants by a central horizontal and vertical channel. Each quadrant contains a large black square (32) and a small circular feature (31). Dimensions are provided for the top-left quadrant: a horizontal distance of 1.3 from the left edge to the center of the circular feature 31, a vertical distance of 2.16 from the top edge to the center of feature 31, a horizontal distance of 7.3 from the left edge to the right edge of the square 32, a horizontal distance of 3.3 from the right edge of square 32 to the center of feature 31, a vertical distance of 0.6 from the top edge to the top edge of square 32, a horizontal distance of 0.5 from the right edge of square 32 to the center of feature 31, and a horizontal distance of 0.2 from the center of feature 31 to the right edge of the quadrant. The circular feature 31 has a diameter of  $\phi 0.5$  and a central hole with a diameter of  $\phi 1.0$ . The central channel has a width of 0.2. Labels 31 and 32 are used to identify the circular features and the black squares, respectively, across all four quadrants.

【図9】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**